

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-272644

(43)Date of publication of application : 08.10.1999

(51)Int.Cl. G06F 15/78  
G06F 1/06

(21)Application number : 10-074716 (71)Applicant : OKI ELECTRIC IND CO LTD

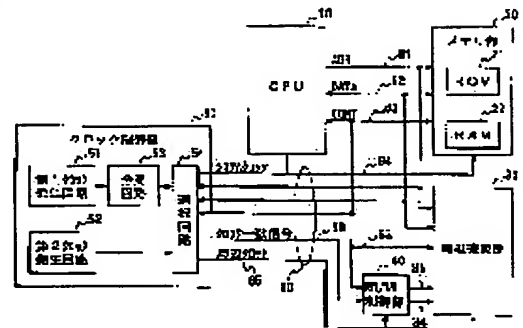
(22)Date of filing : 23.03.1998 (72)Inventor : NAGATOME TOSHIHIDE

## (54) MICROCONTROLLER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a microcontroller capable of arbitrarily setting the frequency of a system clock to be used and a peripheral clock.

**SOLUTION:** A peripheral function part 30 provided with a peripheral circuit operated by the peripheral clock, a bus driver for supplying the output of the peripheral circuit on to a data bus 62 corresponding to control signals CONT and a latch circuit for holding the output of the peripheral circuit and outputting it to the bus driver is used. Further, a read/write(RD/WR) control part 40 for generating the control signals synchronized with the peripheral clock for controlling the latch circuit inside the peripheral function part 30 based on the peripheral clock and the control signals CONT outputted by a CPU 10 is provided inside this microcontroller.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-272644

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.<sup>9</sup>G06F 15/78  
1/06

識別記号

510

FI

G06F 15/78  
1/04510 P  
310 Z

審査請求 未請求 請求項の数3 OL (全7頁)

(21)出願番号 特願平10-74716

(22)出願日 平成10年(1998)3月23日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 永留 俊秀

東京都港区虎ノ門1丁目7番12号沖電気工業株式会社内

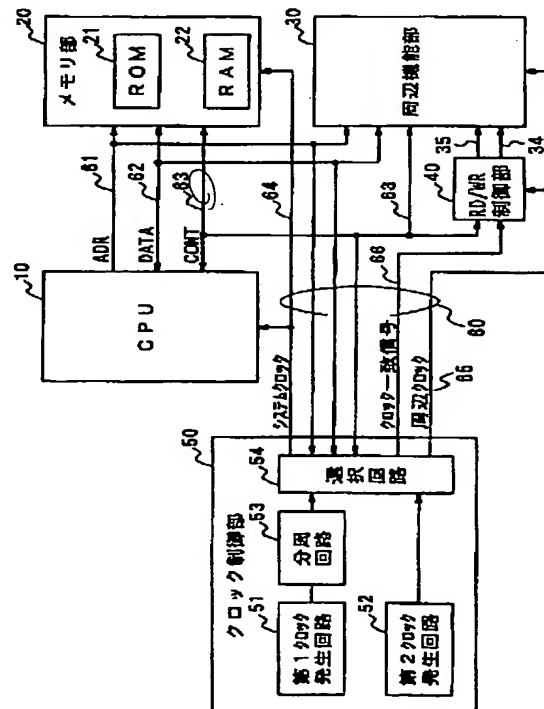
(74)代理人 弁理士 小岩井 雅行 (外2名)

(54)【発明の名称】 マイクロコントローラ

(57)【要約】

【課題】 使用するシステムクロックと周辺クロックの周波数が任意に設定可能なマイクロコントローラを提供する。

【解決手段】 周辺クロックで動作する周辺回路と、周辺回路の出力を、制御信号CONTに応じてデータバス62上に供給するバสดライバと、周辺回路の出力を保持しバสดライバに出力するツチ回路とを備える周辺機能部30を使用するとともに、周辺機能部30内のラッチ回路を制御するための、周辺クロックに同期した制御信号を、周辺クロック並びにCPU10が出力する制御信号CONTに基づき生成するRD/WR制御部40をマイクロコントローラ内に設ける。



## 【特許請求の範囲】

【請求項 1】 システムクロック並びに周辺クロックを発生するクロック発生回路と、  
前記クロック発生回路が発生するシステムクロックに従って動作する、データバスと接続された CPU と、  
前記クロック発生回路が発生する周辺クロックと前記 CPU が出力する読出制御信号とに基づき、周辺クロックに同期した第 2 読出制御信号を生成する制御信号生成回路と、  
前記クロック発生回路が発生する周辺クロックに従って動作する周辺回路と、  
前記制御信号生成回路が出力する第 2 読出制御信号に従って前記周辺回路が出力するデータをラッチするラッチ回路と、  
前記読出制御信号に従って前記ラッチ回路にラッチされたデータを前記データバス上に出力するバสดライバとを備えることを特徴とするマイクロコントローラ。

【請求項 2】 前記制御信号生成回路は、前記クロック発生回路が発生する周辺クロックと前記 CPU が出力する読出制御信号並びに書込制御信号とに基づき、周辺クロックに同期した第 2 読出制御信号及び第 2 書込制御信号を生成し、  
前記周辺回路は、前記第 2 書込制御信号に従って、前記データバス上のデータを取り込む機能を有することを特徴とする請求項 1 記載のマイクロコントローラ。

【請求項 3】 システムクロック並びに周辺クロックを発生するクロック発生回路と、  
前記クロック発生回路が発生するシステムクロックに従って動作する、データバスと接続された CPU と、  
前記クロック発生回路が発生する周辺クロックと前記 CPU が出力する書込制御信号とに基づき、周辺クロックに同期した第 2 書込制御信号を生成する制御信号生成回路と、  
前記クロック発生回路が発生する周辺クロックに従って動作する周辺回路であって、前記制御信号生成回路が生成する前記第 2 書込制御信号に従って、前記データバス上のデータを取り込む周辺回路とを備えることを特徴とするマイクロコントローラ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、マイクロコントローラに関し、特に、周波数の異なるシステムクロックと周辺クロックとが使用されるマイクロコントローラに関する。

## 【0002】

【従来の技術】マイクロコントローラの中には、周辺回路の動作速度を変えずに、中央処理装置（以下 CPU を称す）の動作速度が変えられるものが存在している。

【0003】例えば、特開平 7 - 2 9 5 9 5 6 号公報には、CPU に供給されるシステムクロックと周辺回路に

供給される周辺クロックが同じクロックから生成されるマイクロコントローラであって、図 5 に示してあるように、システムクロックのクロックパルスの間隔をあけることによって、CPU の動作速度を変えられるマイクロコントローラが開示されている。

## 【0004】

【発明が解決しようとする課題】上記した従来のマイクロコントローラでは、システムクロックと周辺クロックとが同じクロックから生成されているので、システムクロックと周辺クロックは同期がとれている。従って、上記マイクロコントローラは、CPU による周辺回路のアクセス時に、同期を取るための処理を行う必要がないものとなっているが、システムクロックと周辺クロックを同じクロックから生成しなければならないものとなっている。

【0005】すなわち、周辺クロックの周波数は、マイクロコントローラに備えられる周辺回路の種類に応じて任意に設定できることが望ましく、また、システムクロックの周波数もマイクロコントローラの利用状況に応じて任意に設定できることが望ましいが、上記マイクロコントローラは、そのような設定が行えないものとなっていた。

【0006】そこで、本発明の課題は、使用するシステムクロックと周辺クロックの周波数が任意に設定可能なマイクロコントローラを提供することにある。

## 【0007】

【課題を解決するための手段】上記課題を解決するために、本発明の第 1 の態様では、（イ）システムクロック並びに周辺クロックを発生するクロック発生回路と、

（ロ）クロック発生回路が発生するシステムクロックに従って動作する、データバスと接続された CPU と、

（ハ）クロック発生回路が発生する周辺クロックと CPU が出力する読出制御信号とに基づき、周辺クロックに同期した第 2 読出制御信号を生成する制御信号生成回路と、（ニ）クロック発生回路が発生する周辺クロックに従って動作する周辺回路と、（ホ）制御信号生成回路が出力する第 2 読出制御信号に従って周辺回路が出力するデータをラッチするラッチ回路と、（ト）読出制御信号に従ってラッチ回路にラッチされたデータをデータバス上に出力するバสดライバとを用いて、マイクロコントローラを実現する。

【0008】すなわち、本発明の第 1 の態様では、周辺回路と、周辺回路の出力をデータバス上に供給するためのバสดライバとの間に、周辺回路の出力を保持できるラッチ回路を設けるとともに、そのラッチ回路を制御するための、周辺クロックに同期した（すなわち、周辺回路の動作に同期した）第 2 読出制御信号を、周辺クロック並びに CPU が出力する読出制御信号に基づき生成する制御信号生成回路を設ける。これによって、周辺回路が出力するデータを、システムクロック周波数が何であ

ってもCPUが取り込めるマイクロコントローラ、つまり、使用するシステムクロックと周辺クロックの周波数が任意に設定可能なマイクロコントローラを実現する。

【0009】本発明の第1の態様は、CPUに対するデータ出力機能のみを有する（あるいは、そのデータ出力時のタイミング制御が特に必要とされる）周辺回路を備えるマイクロコントローラに適したものであるが、データ入出力機能を有する周辺回路を備えるマイクロコントローラを実現する際には、制御信号生成回路として、クロック発生回路が発生する周辺クロックとCPUが出力する読出制御信号並びに書込制御信号とに基づき、周辺クロックに同期した第2読出制御信号及び第2書込制御信号を生成する回路を採用し、周辺回路として、第2書込制御信号に従って、データバス上のデータを取り込む機能を有する回路を採用しておけば良い。

【0010】また、システムクロック並びに周辺クロックを発生するクロック発生回路と、クロック発生回路が発生するシステムクロックに従って動作する、データバスと接続されたCPUと、クロック発生回路が発生する周辺クロックとCPUが出力する書込制御信号とに基づき、周辺クロックに同期した第2書込制御信号を生成する制御信号生成回路と、クロック発生回路が発生する周辺クロックに従って動作する周辺回路であって、制御信号生成回路が生成する第2書込制御信号に従って、データバス上のデータを取り込む周辺回路とを組み合わせることによって、データ入力機能のみを有する（あるいはデータ入力時のタイミング制御が特に必要とされる）周辺回路を備えるマイクロコントローラであって、使用するシステムクロックと周辺クロックの周波数が任意に設定可能なマイクロコントローラを実現することも出来る。

#### 【0011】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を具体的に説明する。まず、図1を用いて、本発明の一実施形態によるマイクロコントローラの構成を説明する。

【0012】図示してあるように、実施形態のマイクロコントローラは、CPU10とメモリ部20と周辺機能部30と読み出し/書き込み（以下、RD/WRと称す）制御部40とクロック制御部50と共通バス60とを備える。

【0013】共通バス60は、アドレスバス61、データバス62、制御バス63、システムクロック信号線64、周辺クロック信号線65及びクローカー一致信号線66で構成されており、CPU10とメモリ部20と周辺機能部30とクロック制御部50は、アドレスバス61、データバス62、制御バス63によって、相互に接続されている。さらに、クロック制御部50は、システムクロック信号線64によって、CPU10及びメモリ部20と接続されており、周辺クロック信号線65によ

って、周辺機能部30とRD/WR制御部40に接続されている。また、クロック制御部50は、クロック一致信号線66によって、RD/WR制御部40と接続されており、RD/WR制御部40は、周辺WR信号線34、周辺RDラッチ信号線35によって周辺機能部30と接続されている。

【0014】CPU(Central Processing Unit)10は、このマイクロコントローラの論理的中枢である。CPU10は、一般的なマイクロコントローラ内に設けられているCPUと同様に、システム制御部、演算部、レジスタ部、演算制御部、共通バス制御部等（図示せず）からなり、メモリ部20内に記憶されたプログラム内の命令に従い、各種のデジタル処理（データの読み出し/書き込み、データの演算等）を行う。

【0015】メモリ部20は、ROM(Read Only Memory)21とRAM(Random Access Memory)22を備える。ROM21は、一旦、書き込まれたデータを、電源のオン/オフに関係なく保持し続ける読み出し専用のメモリであり、プログラムや固定データの記憶に使用される。RAM22は、電源の供給が断たれると内部に保持されているデータが消失する読み書き可能なメモリであり、データの一時的な記憶領域あるいは処理領域として使用される。

【0016】周辺機能部30、RD/WR制御部40の詳細は後述するが、周辺機能部30は、それぞれ、周辺クロックで動作するカウンタ、A/D変換器、並列入出力部、直列入出力部等を有する回路となっている。また、RD/WR制御部40は、制御バス63で与えられる読出制御信号RD並びに書込制御信号WR、周辺クロック信号線65で与えられる周辺クロック、クローカー一致信号線66で与えられるクローカー一致信号に基づき、周辺RDラッチ信号、周辺WRを生成し、それらを、周辺WR信号線34、周辺RDラッチ信号線35を介して周辺機能部30に供給する回路となっている。

【0017】クロック制御部50は、第1、第2クロック発生回路51、52と分周回路53と選択回路54とからなる。第1、第2クロック発生回路51、52は、共に、クロックを発生する回路であり、通常は、それぞれ、高速動作のためのMHzオーダーのクロックと時計用の32kHzのクロックを発生している。分周回路53は、第1クロック発生回路51が発生したクロックを分周して、複数の周波数のクロックを生成することが出来る回路である。

【0018】選択回路54は、分周回路53が生成したクロックと第2クロック発生回路52が生成したクロックの中の、CPU10によってシステムクロックとして使用することが指定されたクロックを、システムクロック信号線64を用いてCPU10並びにメモリ20に供給する回路である。さらに、選択回路54は、周辺クロックとして使用することが指定されたクロックを、周辺

クロック信号線 6 5 を介して周辺機能部 3 0 並びに R D / W R 制御部 4 0 に供給する処理も行う。また、選択回路 5 4 は、システムクロック、周辺クロックとして同じクロックを出力している場合には、クロック一致信号線 6 6 を介して R D / W R 制御部 4 0 に、ハイレベルのクロック一致信号を供給し、システムクロック、周辺クロックとして異なるクロックを出力している場合には、ローレベルのクロック一致信号を供給する回路ともなっている。

【0019】次に、図 2 を用いて、R D / W R 制御部 4 0 の構成を説明する。図示してあるように、R D / W R 制御部 4 0 は、4 つの D 型（遅延型）フリップフロップ（以下、F F と表記する）0 ~ 3 と、AND ゲート 4 4、4 6、4 7 と、OR ゲート 4 5、4 8 とインバータ 4 9 とからなる。

【0020】F F 0 ~ F F 3 の C K 入力端子は、周辺クロック信号線 6 5 に接続されている。F F 0 の D 入力端子は、制御バス 6 3 に含まれる、読出制御信号 R D 用の信号線である R D 信号線 4 2 に接続されている。F F 0 の Q 出力端子は、F F 1 の D 入力端子及び AND ゲート 4 4 の一方の入力端子と接続されており、AND ゲート 4 4 の他方の入力端子は、F F 1 の  $\bar{Q}$  出力端子（図では、Q にバーを付した符号を用いている）と接続されている。AND ゲート 4 4 の出力端子は、クロック一致信号線 6 6 がその一方の入力端子に接続された OR ゲート 4 5 の他方の入力端子に接続されており、OR ゲート 4 5 の出力が周辺 R D ラッチ信号線 3 5 に接続されている。

【0021】F F 2 の D 入力端子は、制御バス 6 3 に含まれる、書込制御信号 W R 用の信号線である W R 信号線 4 3 に接続されており、F F 2 の Q 出力端子は、F F 3 の D 入力端子及び 3 入力 AND ゲートである AND ゲート 4 7 の一方の入力端子と接続されている。AND ゲート 4 7 の残りの 2 つの入力端子は、それぞれ、F F 3 の  $\bar{Q}$  出力端子（図では、Q にバーを付した符号を用いている）と、クロック一致信号線 6 6 がその入力端子に接続されたインバータ 4 9 の出力端子に接続されている。

【0022】また、AND ゲート 4 6 の 2 つの入力端子は、それぞれ、W R 信号線 4 3 とクロック一致信号線 6 6 が接続されており、AND ゲート 4 6、4 7 の出力端子が、OR ゲート 4 8 の 2 つの入力端子にそれぞれ接続されている。そして、OR ゲート 4 8 の出力端子が周辺 W R 信号線 3 4 に接続されている。

【0023】次に、周辺機能部 3 0 内に設けられているカウンタ関連の回路構成のみを示したブロック図である図 3 を用いて、周辺機能部 3 0 の構成を説明する。図示したように、周辺機能部 3 0 内のカウンタ関連の回路は、カウンタ 3 1 と R D ラッチ 3 2 とバストライバ 3 3 とから構成されている。カウンタ 3 1 は、周辺 W R 信号線 3 4、周辺クロック信号線 6 5、データバス 6 2 並び

に R D ラッチ 3 2 と接続されている。また、R D ラッチ 3 2 は、周辺 R D ラッチ信号線 3 5 とバストライバ 3 3 とも接続されており、バストライバ 3 3 は、R D 信号線 4 2 とデータバス 6 2 とも接続されている。

【0024】カウンタ 3 1 は、周辺クロック信号線 6 5 を介して入力される周辺クロックに従って、カウントを行い、そのカウント値（時刻データ）を R D ラッチ 3 2 側へ出力する回路である。また、カウンタ 3 1 は、周辺 W R 信号線 3 4 を介して入力される周辺 W R に従って、データバス 6 2 上のデータを取り込む機能も有した回路となっている。R D ラッチ 3 2 は、周辺 R D ラッチ信号線 3 5 を介してゲート端子に入力される周辺ラッチ信号に従って、カウンタ 3 1 からのデータをラッチし、ラッチしたデータをバストライバ 3 3 側へ出力する動作、あるいは、カウンタ 3 1 からのデータそのままバストライバ 3 3 側へ出力する動作を行う。バストライバ 3 3 は、R D 信号線 4 2 を介して入力される読出制御信号 R D に従って、R D ラッチ 3 2 からのデータの、データバス 6 2 上への出力を行う回路である。

【0025】周辺機能部 3 0 が備える他の回路（A / D 変換器、並列入出力部、直列入出力部等）にも、R D ラッチ 3 2 に相当するラッチ回路が付加されており、当該ラッチ回路の出力がバストライバを介してデータバスに出力されるようになっている。

【0026】以下、システムクロック周波数が周辺クロック周波数よりも低い状況（クロック制御部 5 0 が、ローレベルのクロック一致信号を出力している状況）下において、周辺機能部 3 0 内のカウンタ 3 1 へのアクセスが行われる場合を例に、図 1 ないし図 3、及び、図 4 を参照して、実施形態のマイクロコントローラの動作を説明する。

【0027】まず、読出アクセス時の動作を説明する。カウンタ 3 1 の内容（時刻データ）を読み出す際、C P U 1 0 は、図 4 に模式的に示してあるように、システムクロックに同期した形で、アドレスバス 6 1 上にカウンタ 3 1 を指定するアドレスであるカウンタアドレスを出力するとともに、R D 信号線 4 2 にハイレベルの R D を出力する。

【0028】R D / W R 制御部 4 0 内の F F 0 は、R D 信号線 4 2 上のデータを周辺クロックの立ち下がり時に取り込む（図 2 参照）ので、その Q 出力は、R D が立ち上がった時刻  $t_1$  以後に、最初に周辺クロックが立ち下がったときに（時刻  $t_2$  に）、ハイレベルに変化することになる。また、F F 1 は、F F 0 の Q 出力を、周辺クロックの立ち下がり時に取り込むので、その  $\bar{Q}$ （図 4 では、Q にバーを付した符号を用いている）出力は、時刻  $t_2$  から 1 周辺クロックサイクル分の時間が経過したときに、ローレベルに変化することになる。

【0029】このため、F F 0 の Q 出力と F F 1 の  $\bar{Q}$  出力が入力されている AND ゲート 4 4 は、時刻  $t_2$  か

ら 1 周辺クロックサイクル分の時間が経過する間、ハイレベルの信号を出力する。また、ANDゲート 4 4 の出力とクロック一致信号とが入力されているORゲート 4 5 は、クロック一致信号がローレベルであるので、ANDゲート 4 4 の出力と同じパターンの周辺RDラッチ信号、すなわち、時刻  $t_2$  から 1 周辺クロックサイクル分の時間が経過する間、ハイレベルとなる周辺RDラッチ信号を出力する。

【0030】一方、周辺機能部 3 0 内のRDラッチ 3 2 は、周辺RDラッチ信号がハイレベルであるときに、カウンタ 3 1 のカウント結果を取り込む。周辺RDラッチ信号がハイレベルである期間は、1 周辺クロックサイクルであるので、結局、RDラッチ 3 2 は、RDがハイレベルとなった直後の周辺クロックサイクルにおけるカウンタのカウント結果（図 4 では、“N”）を取り込み、出力しつづけることになる。そして、RDラッチ 3 2 のその出力が、ハイレベルのRDが入力されているバスドライバ 3 3 によって、データバス 6 2 上に出力され、データバス 6 2 上のデータがCPU 1 0 によって読み取られ、読出アクセスが完了することになる。

【0031】次に、書込アクセス時の動作を説明する。カウンタ 3 1 に、例えばデータ“M”を書き込む際、CPU 1 0 は、システムクロックに同期した形で、アドレスバス上にカウンタアドレスを出力する。また、データバス上に、データ“M”を出力し、WR信号線上にハイレベルのWRを出力する。

【0032】RD/WR制御部 4 0 内のFF 2 は、WR信号線 4 3 上のデータを周辺クロックの立ち下がり時に取り込むので、そのQ出力は、図 4 に示してあるように、RDが立ち上がった時刻  $t_3$  以後に、最初に周辺クロックが立ち下がったときに（時刻  $t_4$  に）、ハイレベルに変化することになる。また、FF 3 は、FF 2 のQ出力を、周辺クロックの立ち下がり時に取り込むので、FF 3 の-Q（図では、Qにバーを付した符号を用いている）出力は、時刻  $t_4$  から 1 周辺クロックサイクル分の時間が経過したときに（時刻  $t_5$  に）、ローレベルに変化することになる。

【0033】このため、FF 2 のQ出力と、FF 3 の-Q出力と、クロック一致信号を反転した信号（すなわち、ハイレベルの信号）とが入力されているANDゲート 4 7 は、時刻  $t_4$  から 1 周辺クロックサイクル分の時間が経過する間、ハイレベルの信号を出力する。また、ANDゲート 4 6、4 7 の出力が入力されているORゲート 4 8 は、ANDゲート 4 6 の出力がローレベルであるので、ANDゲート 4 7 の出力と同じ信号を周辺WRとして出力する。すなわち、ORゲート 4 8 は、時刻  $t_4$  から 1 周辺クロックサイクル分の時間が経過する間、ハイレベルとなる周辺WRを出力する。

【0034】この結果、周辺WRが与えられているカウンタ 3 1 が、周辺WRの立ち下がり時に（時刻  $t_5$

に）、データバス上のデータ“M”を取り込み、書込アクセスが完了することになる。また、カウンタ 3 1 は、データ“M”の取り込み後、周辺クロックが立ち下がる度に、WRがハイであっても、カウント値のカウントアップを行うことになる。

【0035】このように、実施形態のマイクロコントローラは、システムクロックと周辺クロックが非同期で、かつ、システムクロック周波数の方が周辺クロック周波数よりも低い状況で使用しても、周辺機能部 3 0 へのアクセスが、周辺機能部 3 0 の本来の動作を中断することなく、確実に実行されるものとなっている。

【0036】最後に、クロック一致信号がハイである場合（システムクロックと周辺クロックとが一致している場合）のマイクロコントローラの動作を簡単に説明しておく。

【0037】この場合、RD/WR制御部 4 0 内の、ORゲート 4 5 の一方の入力端子にハイレベルの信号が入力されることになる。従って、ORゲート 4 5 は、RD、周辺クロックのレベルに依らず、ハイレベルの周辺RDラッチ信号を出力するので、周辺機能部 3 0 内のRDラッチ 3 2 がスルーとなる。

【0038】一方、クロック一致信号とWRとが入力されているANDゲート 4 6 は、クロック一致信号がハイであるため、WRと同じ信号を出力する。また、ANDゲート 4 7 は、インバータ 4 9 からローレベルの信号が供給されるので、ローレベルの信号を出力する。従って、ANDゲート 4 6、4 7 の出力が入力されているORゲート 4 8 は、WRと同じ信号を周辺WRとして出力する。

【0039】従って、システムクロックと周辺クロックが一致している場合、RD/WR制御部 4 0 と周辺機能部 3 0 からなる部分が、システムクロックと同じ周辺クロックが使用されるマイクロコントローラ内の周辺機能部と全く同じ動作をすることになり、この場合も、本マイクロコントローラは正常に機能する。

【0040】

【発明の効果】本発明によれば、使用するシステムクロックと周辺クロックの周波数が任意に設定可能なマイクロコントローラを実現することが出来る。

【図面の簡単な説明】

【図 1】実施形態のマイクロコントローラの構成を示すブロック図である。

【図 2】実施形態のマイクロコントローラが備えるRD/WR制御部の構成を示す回路図である。

【図 3】実施形態のマイクロコントローラが備えるRD/WR制御部の構成を示す回路図である。

【図 4】実施形態のマイクロコントローラの動作を説明するためのタイミングチャートである。

【図 5】特開平 7 - 2 9 5 9 5 6 号公報に記載のマイクロコントローラの動作を説明するためのタイミングチャ



【図 4】

